

DATA TRANSMISSION SYSTEM, DATA OUTPUT CIRCUIT, AND DATA INPUT CIRCUIT

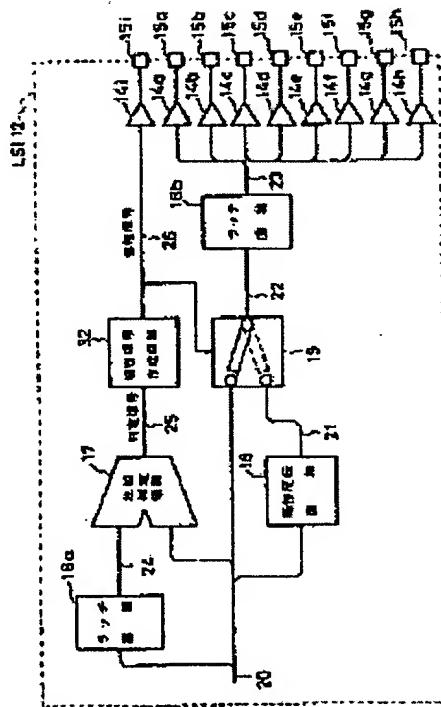
Patent number: JP2310762
Publication date: 1990-12-26
Inventor: ITO HIROMICHI; others: 01
Applicant: HITACHI LTD
Classification:
- International: G06F13/36
- european:
Application number: JP19890133591 19890526
Priority number(s):

[Report a data error here](#)

Abstract of JP2310762

PURPOSE: To reduce the number of output signals that change simultaneously and to prevent the malfunction of a digital circuit by transmitting the signal representing data with either positive polarity or negative polarity with the data to be transmitted.

CONSTITUTION: A comparative judging circuit 17, a polarity inversion circuit 18, a polarity signal generation circuit 32, and a selector 19, etc., are provided. The number of change bits of the data desired to output is detected, and it is judged whether or not the number of change bits exceeds the half of the number of all bits, and regular data is outputted when the former is less than the latter, and inverted data is outputted when the former exceeds the latter. By executing such processing at every data to be outputted, the number of change bits that change simultaneously on a bus can be suppressed to the one less than the half of the number of all bits. At a reception side, since it is necessary to recognize the polarity of inputted data, one signal line 26 is added in addition to a signal line for data carrying. In such a way, the power consumption in the digital circuit can be reduced, and also, unrequired electromagnetic wave radiation can be reduced, and the malfunction can be prevented.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

⑯ 公開特許公報 (A)

平2-310762

⑤Int.Cl.⁵

G 06 F 13/36

識別記号 序内整理番号

530 B 8840-5B

④公開 平成2年(1990)12月26日

審査請求 未請求 請求項の数 15 (全12頁)

③発明の名称 データ伝送方式、データ出力回路およびデータ入力回路

②特 願 平1-133591

②出 願 平1(1989)5月26日

⑦発明者 伊藤 浩道 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

⑦発明者 関 行宏 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

⑦出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑦代理 人 弁理士 富田 和子

明細書

1. 発明の名称

データ伝送方式、データ出力回路およびデータ
入力回路

2. 特許請求の範囲

1. 伝送するデータと共に、該データが正論理または負論理のいずれの極性によるものであるかを示す信号を伝送することを特徴とするデータ伝送方式。

2. 伝送するデータについて、該データの極性を各データごとに変更可能であることを特徴とするデータ伝送方式。

3. nビットのパラレルデータを伝送する際に、該データの極性に関する1ビットの信号を附加して伝送することを特徴とするデータ伝送方式。

4. 複数ビットのバスにパラレルデータを出力するデータ出力方式であって、

上記バス上に出力した一のパラレルデータを次のパラレルデータに切り換える際に、変化するビット数が常に全ビット数の半数以下となる

ように、上記バスに出力すべき上記パラレルデータの極性を決定することを特徴とするデータ出力方式。

5. 上記決定された極性に関する信号を上記次のパラレルデータと共に上記バス上に出力することを特徴とする請求項4記載のデータ出力方式。

6. 複数ビットのバスにパラレルデータを出力する際、一のデータを出力したあと次のデータを出力する前に上記バスの全ビットを一時“1”とするデータ出力方式であって、

上記バス上に出力するパラレルデータの“1”となるビット数が常に全ビット数の半数以上となるように、上記バスに出力するパラレルデータの極性を決定することを特徴とするデータ出力方式。

7. 複数ビットのバスからパラレルデータを入力するデータ入力方式であって、

上記バスから受け取ったパラレルデータと共に当該パラレルデータの極性に関する極性信号を受取り、該極性信号に応じて、上記パラレル

データの極性をそのまま維持し、または反転することを特徴とするデータ入力方式。

8. パラレルデータを出力するデータ出力回路であって、

出力すべきデータの極性を反転する極性反転手段と、

該極性反転手段による極性反転前後のデータのいずれかを選択する選択手段と、

伝送すべき一のデータと直前のデータとを比較し、変化するビット数が予め定めた数以上か否かを判定する比較判定手段と、

該比較判定手段の出力に応じて、上記選択手段を制御する極性信号を作成する極性信号作成手段と

を備えたことを特徴とするデータ出力回路。

9. パラレルデータを出力するデータ出力回路であって、

出力すべきデータの極性を反転する極性反転手段と、

該極性反転手段による極性反転前後のデータ

のいずれかを選択する選択手段と、

伝送すべき一のデータと直前に出力された上記選択手段の出力データとを比較し、変化するビット数が全ビット数の半数を超えるか否かを判定する比較判定手段と、

該比較判定手段の出力に応じて上記選択手段を制御することを特徴とするデータ出力回路。

10. パラレルデータの出力バッファとしての複数のスリーステートバッファを有するデータ出力回路において、

上記パラレルデータの全ビット中、半数を超えるビットが一定値となる場合を検出する検出手段と、

上記パラレルデータの極性を反転する極性反転手段と、

上記検出手段の検出信号に応じて、上記極性反転手段の極性反転前後のデータのいずれかを選択して上記スリーステートバッファに供給する選択手段と、

上記検出手段の検出信号を出力するスリース

テートバッファと

を備えたことを特徴とするデータ出力回路。

11. パラレルデータの全ビットを2組に分割し、該各組について別個に請求項8, 9または10記載のデータ出力回路を設けると共に、上記2組の一方のみについて、上記選択手段の後段に当該出力データを遅延させる遅延手段を設けたことを特徴とするデータ出力回路。

12. パラレルデータと該パラレルデータの極性に関する極性信号とを受けるデータ入力回路であって、

入力されたパラレルデータの極性を反転する極性反転手段と、

上記極性信号に応じて、上記極性反転手段の極性反転前後のデータのいずれかを選択する選択手段と

を備えたことを特徴とするデータ入力回路。

13. パラレルデータを出力する集積回路であって、

出力すべきデータの極性を反転する極性反転

手段と、

該極性反転手段による極性反転前後のデータを選択する選択手段と、

伝送すべき一のデータと直前のデータとを比較し、変化するビット数が予め定めた数以上か否かを判定する比較判定手段と、

該比較判定手段の出力に応じて上記選択手段を制御する極性信号を作成する極性信号作成手段と、

上記選択手段により選択されたパラレルデータを出力する出力端子と、

上記極性信号を出力する出力端子とを有することを特徴とする集積回路。

14. パラレルデータと該パラレルデータの極性に関する極性信号とを受ける集積回路であって、

上記極性信号を受ける極性信号入力端子と、

上記パラレルデータを受ける複数のデータ入力端子と、

上記入力端子に入力された極性信号に応じて、

上記データ入力端子に入力されたパラレルデータをそのまま取り込み、または反転して取り込むデータ取り込み手段と
を備えたことを特徴とする集積回路。

15. 複数のデジタル装置間で、複数の信号線を介してデータを伝送する情報処理システムにおいて、

データを送信するデジタル装置内に、送信データの同時変化ビット数が最小になるように当該送信データの極性を変換する極性変換手段を有し、

上記デジタル信号を搬送する複数の信号線の少なくとも1本として、上記極性の切換に関する情報を伝送する信号線を有し、

データを受信するデジタル装置内に、上記極性の切換に関する情報に応じて上記受信データの極性を変換する極性変換手段を有することを特徴とする情報処理システム。

3. 発明の詳細な説明

[産業上の利用分野]

レスパス6、CPUデータバス7、CPUコントロールバス8、メモリアドレスバス9、メモリデータバス10、メモリコントロールバス11の信号は、1回のメモリ、I/Oアクセス（以下バスサイクルと呼ぶ）ごとにその値が変化する。例えば、32ビットのCPUデータバス7においては、最大32本の信号線の電圧値が“L”から“H”、あるいは“H”から“L”へとバスサイクルごとに変化する。

一方、CPU1、記憶制御部3などはLSIを用いて1チップ化するのが一般的である。ここで問題になるのが同時スイッチングノイズである。即ち、LSIにおいて多数の出力端子が同時に変化するとグランドラインの電流変化が大きく、グランドラインのインダクタンス成分によりLSI内部のグランドライン電位が一時的に変化してしまう。この同時スイッチングノイズによってLSIの入力端子のレベル特性、具体的には“H”および“L”を正しく認識する電圧範囲が変化して誤動作の原因となる。このような同時スイッチ

本発明は情報処理装置に係り、特にパラレルデータのデータ伝送に好適なデータ伝送方式に関する。

[従来の技術]

大型コンピュータからワークステーション、パソコンコンピュータに至るまで、情報処理装置の多くはCPUと呼ばれる中央処理装置と記憶装置及びI/O（Input/Output）装置とによって構成されるのが普通である。CPUと記憶装置及びI/O装置との間は、アドレスを伝送するアドレスバス、データを伝送するデータバス、制御信号を伝送するコントロールバスなどによって接続されている。

第6図は、ワークステーションの一構成例を示す。1はCPU、2は記憶装置、3は記憶制御部、4はメモリ、5はI/O装置、6はCPUアドレスバス、7はCPUデータバス、8はCPUコントロールバス、9はメモリアドレスバス、10はメモリデータバス、11はメモリコントロールバスである。この情報処理装置において、CPUア

シングノイズの問題を回避するため、LSIにおいては同時に変化する出力端子の数を制限するのが普通である。例えば、（株）日立製作所のゲートアレイLSI、HG28A/Eシリーズでは、同時に変化する出力端子の数を最大16本としている。前記ゲートアレイLSIの同時に変化できる出力端子数については、日立B1-CMOSゲートアレイHG28A/Eシリーズ デザインマニュアル、AD-0140A（1986）第12頁において述べられている。

従来、同時に変化する出力端子を減少させる手段としては、遅延素子によって出力変化タイミングを分散させる方法が用いられている。第7図に、8本の同時に変化する信号線のうち4本の信号線を遅延素子によって遅らせた後、LSI外部へ出力する回路の一例を示す。12はLSI、13a～13dは遅延素子、14a～14hは出力バッファ、15a～15hは出力端子である。本例では、D0～D3の4本の信号出力端子とD4～D7の4本の信号出力端子は異なるタイミングで

変化するため、この8本の信号出力端子での同時変化端子数は、最大4本とすることができます。

【発明が解決しようとする課題】

上記従来技術では、同時変化する可能性のある信号線が多い場合には3つ以上のグループに分けて出力する必要があり、最初に出力するグループの信号と最後に出力するグループの信号との間の時間差が大きくなってしまうという問題がある。例えば、32本のデータバス信号を20nsの間隔で8本ずつ4グループに分けて出力すると80nsもの時間差が同じデータバス内の信号で生じてしまう。

また、デジタル回路の消費電力は信号の周波数が高くなるほど増加する。CMOSプロセスによって作られた集積回路においては、内部ゲートの消費電力は少ないが、負荷の重い外部バスを駆動する出力バッファの消費電力は少なくない。このため、バスサイクルの高速化にともない情報処理装置の消費電力が増大するという問題があった。

さらに、高速な回路素子では出力を“L”から

る。

本発明のさらに他の目的は、上記データ転送方式を用いた情報処理システムを提供することにある。

【課題を解決するための手段】

上記目的を達成するために、本発明によるデータ転送方式は、伝送するデータと共に、該データが正論理または負論理のいずれの極性によるものであるかを示す信号を伝送するようにしたものである。

本発明によるデータ転送方式は、他の見地によれば、伝送するデータについて、該データの極性を各データごとに変更可能であることを特徴とするものである。

本発明によるデータ転送方式は、さらに他の見地によれば、nビットのパラレルデータを伝送する際に、該データの極性に関する1ビットの信号を附加して伝送するものである。

また、本発明によるデータ出力方式は、複数ビットのバスにパラレルデータを出力するデータ出

“H”あるいは“H”から“L”へと変化するのに要する時間が短いため、出力信号には高い周波数成分を含んでいる。このため、情報処理装置の外部に不要な電磁波を輻射してしまうという問題があった。

従って、本発明の目的は、同時変化する出力信号数を減少させ、デジタル回路の誤動作を防止することのできるデータ伝送方式を提供することにある。

本発明の他の目的は、データ伝送の合間にバスがハイインピーダンス状態となる期間がある場合にもバス信号のうち同時変化する信号本数を減少することのできるデータ伝送方式を提供することにある。

本発明のさらに他の目的は、情報処理装置の消費電力を低減するとともに不要な電磁波輻射を低減することのできるデータ伝送方式を提供することにある。

本発明のさらに他の目的は、上記データ転送方式を用いた集積回路（IC）を提供することにある。

力方式であって、上記バス上に出力した一のパラレルデータを次のパラレルデータに切り換える際に、変化するビット数が常に全ビット数の半数以下となるように、上記バスに出力すべき上記パラレルデータの極性を決定するようにしたものである。この場合、好ましくは、決定された極性に関する信号を上記次のパラレルデータと共に上記バス上に出力する。

本発明による他のデータ出力方式は、複数ビットのバスにパラレルデータを出力する際、一のデータを出力したあと次のデータを出力する前に上記バスの全ビットを一時“1”とするデータ出力方式であって、上記バス上に出力するパラレルデータの“1”となるビット数が常に全ビット数の半数以上となるように、上記バスに出力するパラレルデータの極性を決定するようにしたものである。

本発明によるデータ入力方式は、複数ビットのバスからパラレルデータを入力するデータ入力方式であって、上記バスから受け取ったパラレルデ

ータと共に当該パラレルデータの極性に関する極性信号を受取り、該極性信号に応じて、上記パラレルデータの極性をそのまま維持し、または反転するようにしたものである。

本発明によるデータ出力回路は、パラレルデータを出力するデータ出力回路であって、出力すべきデータの極性を反転する極性反転手段と、該極性反転手段による極性反転前後のデータのいずれかを選択する選択手段と、伝送すべき一のデータと直前のデータとを比較し、変化するビット数が予め定めた数以上か否かを判定する比較判定手段と、該比較判定手段の出力に応じて、上記選択手段を制御する極性信号を作成する極性信号作成手段とを備えたことを特徴とするものである。

本発明によるデータ出力回路は、他の見地によれば、パラレルデータを出力するデータ出力回路であって、出力すべきデータの極性を反転する極性反転手段と、該極性反転手段による極性反転前後のデータのいずれかを選択する選択手段と、伝送すべき一のデータと直前に出力された上記選択

選延手段を設けたものである。

本発明によるデータ入力回路は、パラレルデータと該パラレルデータの極性に関する極性信号とを受けるデータ入力回路であって、入力されたパラレルデータの極性を反転する極性反転手段と、上記極性信号に応じて、上記極性反転手段の極性反転前後のデータのいずれかを選択する選択手段とを備えたことを特徴とするものである。

また、本発明による集積回路は、パラレルデータを出力する集積回路であって、出力すべきデータの極性を反転する極性反転手段と、該極性反転手段による極性反転前後のデータを選択する選択手段と、伝送すべき一のデータと直前のデータとを比較し、変化するビット数が予め定めた数以上か否かを判定する比較判定手段と、該比較判定手段の出力に応じて上記選択手段を制御する極性信号を作成する極性信号作成手段と、上記選択手段により選択されたパラレルデータを出力する出力端子と、上記極性信号を出力する出力端子とを有するものである。

手段の出力データとを比較し、変化するビット数が全ビット数の半数を超えるか否かを判定する比較判定手段と、該比較判定手段の出力に応じて上記選択手段を制御するようにしたるものである。

本発明による他のデータ出力回路は、パラレルデータの出力バッファとしての複数のスリーステートバッファを有するデータ出力回路において、上記パラレルデータの全ビット中、半数を超えるビットが一定値となる場合を検出する検出手段と、上記パラレルデータの極性を反転する極性反転手段と、上記検出手段の検出信号に応じて、上記極性反転手段の極性反転前後のデータのいずれかを選択して上記スリーステートバッファに供給する選択手段と、上記検出手段の検出信号を出力するスリーステートバッファとを備えたものである。

本発明によるさらに他のデータ出力回路は、パラレルデータの全ビットを2組に分割し、該各組について別個に上記データ出力回路のいずれかを設けると共に、上記2組の一方のみについて、上記選択手段の後段に当該出力データを遅延させる

本発明による他の集積回路は、パラレルデータと該パラレルデータの極性に関する極性信号とを受ける集積回路であって、上記極性信号を受ける極性信号入力端子と、上記パラレルデータを受ける複数のデータ入力端子と、上記入力端子に入力された極性信号に応じて、上記データ入力端子に入力されたパラレルデータをそのまま取り込み、または反転して取り込むデータ取り込み手段とを備えたものである。

本発明による情報処理システムは、複数のデジタル装置間で、複数の信号線を介してデータを伝送する情報処理システムにおいて、データを送信するデジタル装置内に、送信データの同時変化ビット数が最小になるように当該送信データの極性を変換する極性変換手段を有し、上記デジタル信号を搬送する複数の信号線の少なくとも1本として、上記極性の切換に関する情報を伝送する信号線を有し、データを受信するデジタル装置内に、上記極性の切換に関する情報に応じて上記受信データの極性を変換する極性変換手段を有するもの

である。

なお、本明細書において、「正論理」とは、論理値“1”を電圧値“H”に対応させることであり、「負論理」とは、論理値“0”を電圧値“L”に対応させることである。

[作 用]

n ビットのパラレルデータが或る一の値から他の値に変化する場合、その変化するビット数が i ($0 \leq i \leq n$) であれば、変化しないビット数は $(n - i)$ である。この際、前記「他の値」を反転した場合には、逆に、上記「一の値」に比べて変化するビット数が $(n - i)$ 、変化しないビット数が i となる。本発明はこのデジタル値の性質に着目し、変化するビット数が全ビット数 n の半数を越える場合には、その伝送（または出力）しようとするデータを反転することにより、バス（または出力信号線）上の同時変化ビット数を常に全ビット数の半数以下に抑えようとするものである。

そのために、データの出力側で、出力しようと

間にも広く適用することが可能である。

（以下、余白）

するデータの変化ビット数を検出し、この変化ビット数が全ビット数の半数を超えるか否かを判定し、超えない場合には本来のデータを出力し、超える場合には反転したデータを出力する。この処理を、出力すべきデータごとに実行することにより、バス上の同時変化ビット数は常に全ビット数の半数以下に抑えられることになる。

したがって、デジタル回路の消費電力が軽減されるとともに、不要な電磁波輻射が低減され、かつ、誤動作が防止される。

なお、データの受取側では、入力されたデータの極性を認識する必要があるので、出力側から当該データの極性を示す信号（または極性に関する信号）を受けて、この信号に応じて入力データをそのまま、または反転して用いる。そのために、本発明ではデータ搬送用の信号線に加えて、信号線が1本追加されることになる。

本発明は、集積回路間の適用にとどまらず、パラレルデータの伝送を行う用途であれば、集積回路内部のデジタル回路間、あるいは情報処理装置

[実施例]

以下、本発明の実施例を図面を用いて説明する。

第1図は本発明の一実施例の構成図であり、LSIのデータ出力部を示す。12はLSI、14a～14iは出力バッファ、15a～15iは出力端子、16a、16bはラッチ回路、17は2つの8ビットデータをビットごとに比較し異なるビット数が“5”以上のとき判定信号25に“H”を出力する比較判定回路、18は8ビットの入力データの極性を反転する極性反転回路、32は極性信号作成回路、19はセレクタである。比較判定回路17は、8ビットの内部データ20とラッチ回路16aによってラッチした1バスサイクル前のデータ24とを比較し、異なるビット数が5以上のとき判定信号25を“H”とする。極性信号作成回路32は判定信号25が“H”的時は極性信号26を前のバスサイクルでの値と反対の極性に反転し、判定信号25が“L”的時は極性信号26を前のバスサイクルでの値に保つ。このようにして作成した極性信号26は出力バッ

ファ14iを経て出力端子15iに出力される。一方、セレクタ19は、極性信号26が“L”的時は内部データ20を選択し、極性信号26が“H”的時は内部データ20のデータの極性を反転した極性反転データ21を選択する。セレクタ出力22は、データが不確定状態のまま出力されるのを防止するため、ラッチ回路16bによって一度ラッチした後、出力バッファ14a～14hを経て出力端子15a～15hに出力する。

第2図は、第1図の比較判定回路17を実現する回路の一例である。27a～27hは排他的論理和(EOR)ゲート、28aはデコード回路である。EORゲート27a～27hには内部データ20と1バスサイクル前のデータ24の各ビットをそれぞれ入力する。EORゲート27a～27hはそれぞれ2つの入力が異なる場合に“H”を出力する。従って、EORゲート27a～27hのうち“H”を出力しているゲート数が、内部データ20と1バスサイクル前のデータ24とで異なる値のビット数である。デコード回路

28aは、EORゲート27a～27hから入力される8ビットの値の“H”的ビットの数が5ビット以上のとき“H”を、“H”的ビットの数が4ビット以下のとき“L”をそれぞれ判定信号25として出力する。デコード回路28aはANDゲートとORゲート、あるいはROMを用いて容易に実現できる。

第3図は、第1図の極性信号作成回路32の一例である。33はJKフリップフロップ、34はバスサイクル毎に入力されるクロック信号である。JKフリップフロップ33はクロック信号が入力されると、判定信号25が“H”的時は極性信号26を反転し、判定信号25が“L”的時は極性信号26を前のバスサイクルでの状態を保つ。

第1図に示したLSI出力部の動作を第9図により具体的に説明する。

出力端子15a～15hに出力すべき各内部データ20は、クロックに従ってラッチ回路16aに順次取り込まれ、その出力は内部データ20の1バスサイクル前のデータ24となる。両データ

20および24は比較判定回路17によりその変化ビット数について判定され、判定信号25が出力される。本実施例では、前述のように、変化ビット数が“5”以上のとき比較判定信号25が“1”となる。この判定信号25に基づいて、極性信号作成回路32内のJKフリップフロップ33が、そのクロック入力に同期して極性信号26を生成する。すなわち、JKフリップフロップ33は、判定信号25は“1”となる度にそのQ出力である極性信号26を反転するよう動作する。内部データ20が、ラッチ16bに保持された直前のデータに比べ変化ビット数が“4”以下のときは、極性を現在のまま維持するよう、JKフリップフロップ33は変化させない。極性信号26はセレクタ19を切換制御し、セレクタ19からは極性信号26の極性に応じたセレクタ出力22が得られる。セレクタ出力22はラッチ16bにそのクロック入力に同期して保持され、このラッチ出力23がバッファ14a～14hを介して出力端子15a～15hに出力される。一

方、極性信号26はバッファ14iを介して出力端子15iに出力される。

本実施例におけるデータ出力例を表1に示す。

バスサイクル	内部データ20	出力データ23	極性信号26
1	LLLLLLLL	LLLLLLLL	L
2	HLLLLLLL	HLLLLLLL	L
3	HHHHHHHH	LLLLLLLL	H
4	LLLLHHHH	HHHHLLLL	H
5	HHHHLLLL	HHHHLLLL	L

上記出力例におけるバスサイクル間の変化信号本数を表2に示す。

バスサイクル	内部データ20	出力データ23	極性信号26
1-2	1	1	0
2-3	7	1	1
3-4	4	4	0

4-5 8 0 1

このように、内部データ20の多くのビットが変化する場合にも、出力データ23の変化するビット数、即ち同時変化する出力信号本数は4本以下とすることができます。また、出力データ23の変化する信号本数が4本のときは極性信号26は変化しない。従って、出力データ23と極性信号26を合せた最大同時変化出力信号本数も4本以下であり、本発明を用いない場合の半分以下にすることが出来る。

なお、第1回路において、比較判定回路17へ入力するラッチ16aの出力24の代わりにラッチ16bの出力23を利用することができる。この場合には、ラッチ16aは不要となり、また、判定信号25自体が極性信号として機能するので、極性信号作成回路32も不要となる。ただし、信号の不安定性を排除するために極性信号作成回路32の位置には別のラッチ回路を配置することが望ましい。

第4図は、本発明の別の実施例を示す構成図で

ある。

12はLSI、18は極性反転回路、19はセレクタ、28bはデコード回路、29a～29hはスリーステートバッファ、15a～15iは出力端子、30はプルアップ抵抗である。スリーステートバッファイネーブル信号32はバスサイクルの切り替わり時に“H”となる。これによって、スリーステートバッファ29a～29hはハイインピーダンス状態となり、外部データ35a～35hおよび外部極性信号35iはプルアップ抵抗30によって“H”となる。一方、デコード回路28bは内部データバス20の8ビットの信号線の内5本以上の信号線が“L”である場合に、極性信号26を“L”とする。セレクタ19は極性信号26が“H”的時は内部データ20を選択し、極性信号26が“L”的時は内部データ20のデータの極性を反転した極性反転データ21を選択する。セレクタ出力22は、スリーステートバッファ29a～29hを経て出力端子15a～15hに出力される。

本実施例におけるデータ出力例を表3に示す。

表3
バスサイクル 内部データ20 外部データ35a～35h 外部極性信号35i

1 (T)	HHHHHHHH	HHHHHHHH	H
2 (T)	LLLLHHHH	LLLLHHHH	H
3 (T)	LLLLLHHH	HHHHHLLL	L
4 (T)	LLLLLLL	HHHHHHHH	L
5 (T)	LHHHHHHH	LHHHHHHH	H

ここで、(T)で示したバスサイクルは、バスサイクルの切り替わり時にスリーステートバッファ29a～29hがハイインピーダンスとなる状態を示す。

上記出力例におけるバスサイクル間の変化信号本数を表4に示す。

(以下、余白)

表4

バスサイクル 外部データ35a～35h 外部極性信号35i

1-(T)	0	0
(T)-2	4	0
2-(T)	4	0
(T)-3	3	1
3-(T)	3	1
(T)-4	0	1
4-(T)	0	1
(T)-5	1	0

このように、内部データ20の多くのビットが変化する場合にも、外部データ35a～35hの変化するビット数、即ち同時変化する信号本数4本以下とすることができます。また、外部データ35a～35hの変化する信号本数が4本のときは外部極性信号35iは変化しない。従って、外部データ35a～35hと外部極性信号35iとを含ませた最大同時変化信号本数も4本以下であり、本発明を用いない場合の半分以下にすること

が出来る。

第5図は、上述の2つの実施例によって出力されたデータを入力する装置の回路例を示す。12はLSI、36a～36iは入力端子、37a～37iは入力バッファ、18は極性反転回路、19はセレクタである。極性反転回路18は入力データ信号39の極性を反転した反転入力データ信号40を作成する。セレクタ19は、入力データ信号39と反転入力データ信号40の一方を極性入力信号38によって選択し、内部入力データ41として出力する。内部入力データ41は、従来のデータ伝送方式によって入力されるデータと同様にLSI12の内部で使用することができる。

第8図は、本発明と従来の遅延素子による同時変化出力本数削減方法とを組合せた場合の実施例を示した図である。本実施例の特徴は、第1の実施例で示した回路を2組持ち、その一方を遅延素子を通した後出力することである。16ビットの内部データ20aは、2つの8ビットの内部データ20bと20cに分割する。内部データ20b

と20cを出力端子15、15'にそれぞれ出力する際の極性は、第1の実施例と同様にして信号の変化本数が半分以下になるように決定する。内部データ20bは、セレクタ19によって極性を選択された後、ラッチ回路16b、出力バッファ14を通り、出力端子15に出力される。このとき同時に極性信号26を出力バッファ14iを通して出力端子15iに出力する。一方、内部データ20cは、セレクタ19'によって極性を選択された後、ラッチ回路16b'、遅延素子13f、出力バッファ14'を通り、出力端子15'に出力される。このとき同時に極性信号26'を遅延素子13e、出力バッファ14i'を通して出力端子15i'に出力する。このように、同時変化する16ビットの内部データ20aは同時変化本数を4本以下とした極性信号付きの2組の8ビットデータとして出力され、しかも2つの8ビットデータは遅延素子によって変化タイミングをずらしてあるため同時に変化することはない。従って、前記2組の8ビットデータを合せた同時変化信号

本数も最大4本とすることができる。

以上述べた実施例では、8ビットおよび16ビットのデータを伝送する例を示したが2ビット以上なら何ビットでも構わない。また、LSIだけでなく他のICや、装置間のデータ伝送に用いてもよい。

[発明の効果]

本発明によれば、同時変化するLSIの出力信号端子数を減少することが出来るため、同時スイッチングノイズによってLSIが誤動作することを防止できるという効果がある。また、本発明のデータ伝送方式では信号の変化回数を減少することができるので、情報処理装置の消費電力を低減するとともに不要な電磁波輻射を低減することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例の構成図であり、第2図、第3図は第1図中の1ブロックの詳細を示す図、第4図、第5図は本発明の他の実施例の構成図、第6図はワークステーションの構成例、第

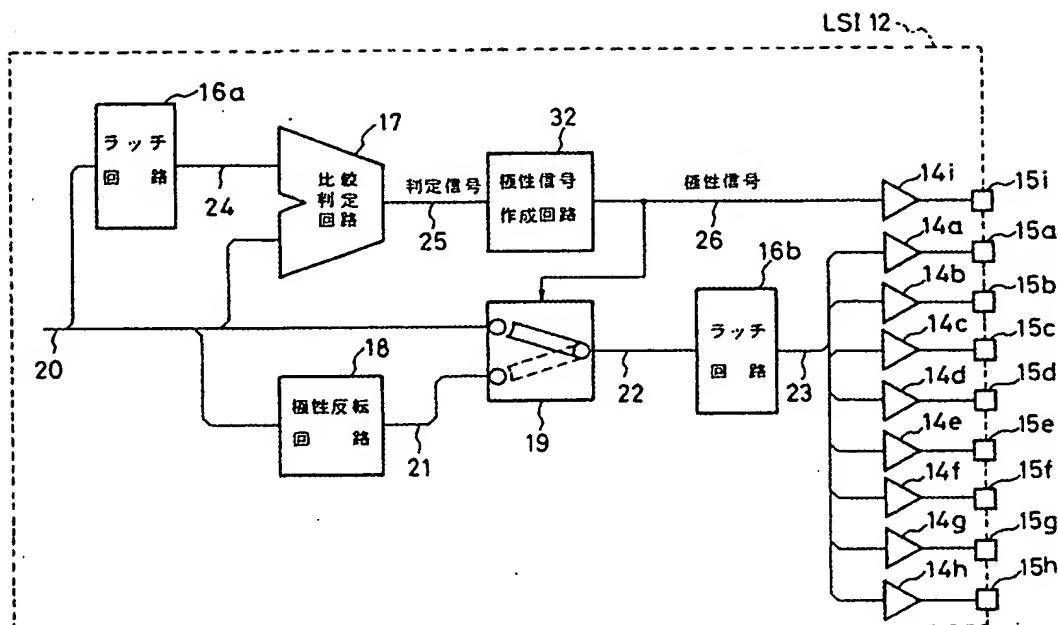
7図は従来の方式の説明図、第8図は本発明のさらに他の実施例の構成図、第9図は第1図の回路の動作タイミング図である。

12…LSI、14a～14i…出力バッファ、
15a～15i…出力端子、16a～16b…ラッチ回路、17…比較判定回路、18…極性反転回路、19…セレクタ、20…極性信号作成回路。

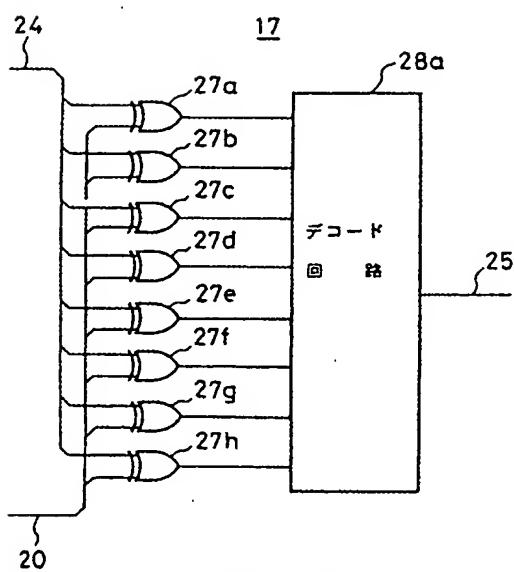
出願人 株式会社 日立製作所

代理人 弁理士 富田和子

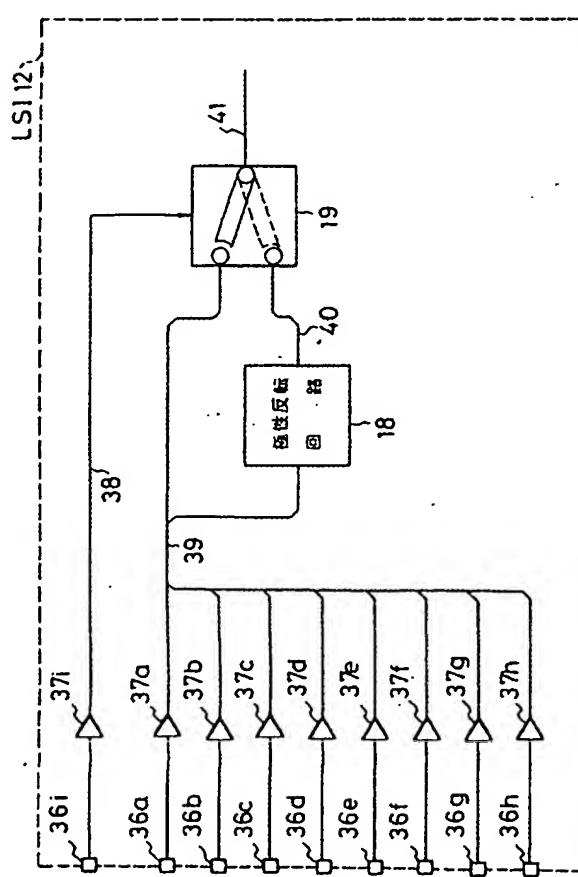
第1図



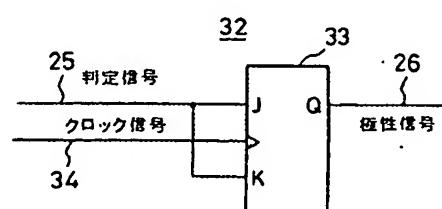
第2図



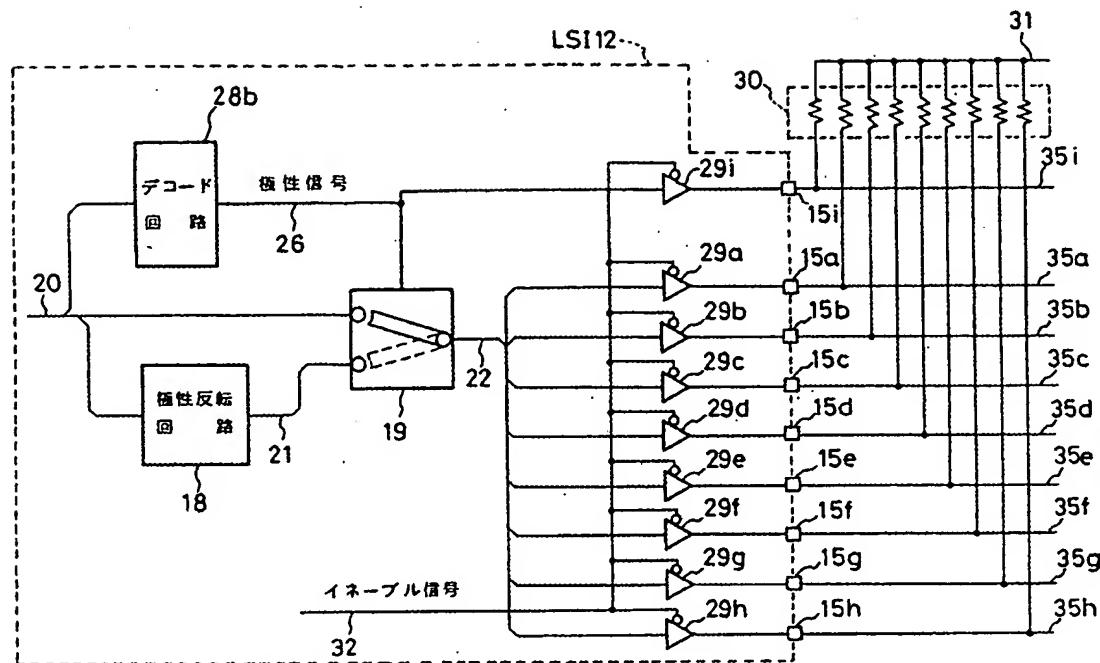
第5図



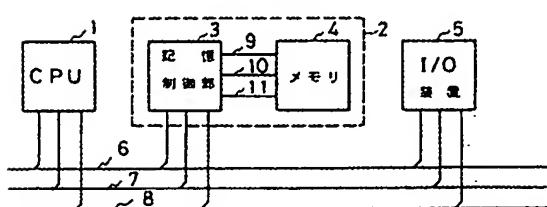
第3図



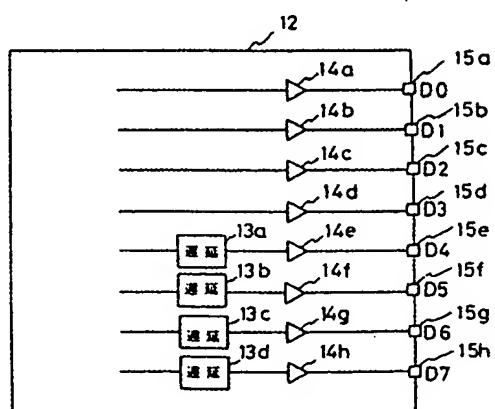
第4図



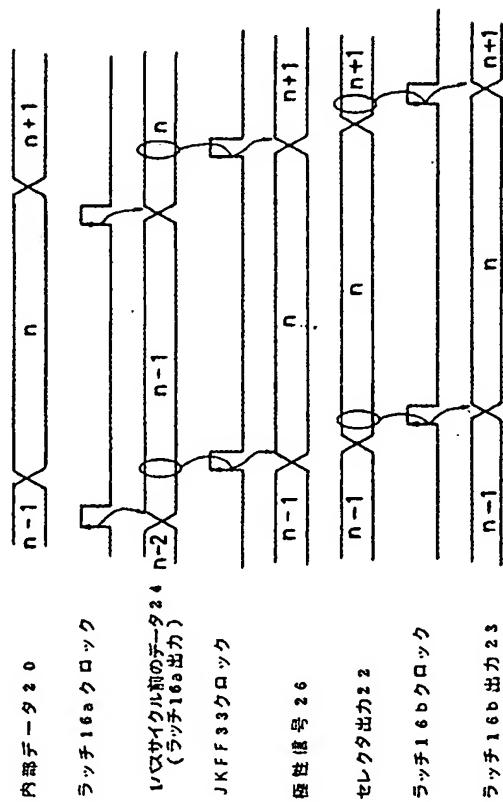
第6図



第7図



第9図



第 8 図

